

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-179169

(43)Date of publication of application : 27.06.2003

(51)Int.Cl.

H01L 21/8247  
H01L 21/3065  
H01L 27/10  
H01L 27/115  
H01L 29/788  
H01L 29/792

(21)Application number : 2001-379452

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.12.2001

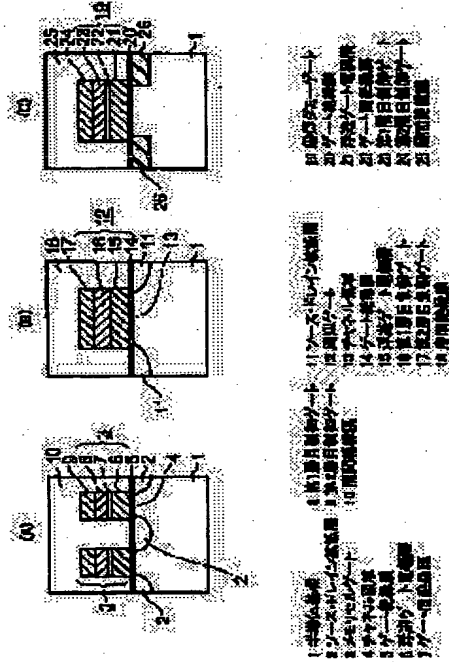
(72)Inventor : SATOU ATSUYOSHI  
ICHIGE MASAYUKI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which restricts the gate contact resistance of a peripheral circuit and is highly integrated.

**SOLUTION:** A semiconductor device comprises a memory transistor, which has a laminated layer structure composed of a gate insulating film 5 formed on a semiconductor substrate 1, a first conductive layer 6 as a floating gate, an inter-gate insulating film 7, and second conductive layers 8, 9 as a control gate, and which comprises a source/drain diffusion layer 2 in the semiconductor substrate; a peripheral gate transistor which has a lamination layer structure composed of a gate insulating film 13 formed on the semiconductor substrate, a first conductive layer 15, and second conductive layers 16, 17 in electrical continuity with the first conductive layer, and which comprises a source/drain diffusion layer 11 in the semiconductor substrate; a gate contact connected to the second conductive layer of the peripheral gate transistor; and the peripheral dummy gate of a laminated layer structure composed of a gate insulating film 20 formed on the semiconductor substrate, a first conductive layer 21, an inter-gate insulating film 22, and second conductive layers 23, 24.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-179169

(P2003-179169A)

(43) 公開日 平成15年6月27日 (2003.6.27)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード <sup>*</sup> (参考)
H 0 1 L	21/8247	H 0 1 L 27/10	4 8 1 5 F 0 0 4
	21/3065	29/78	3 7 1 5 F 0 8 3
	27/10	21/302	E 5 F 1 0 1
	27/115	27/10	4 3 4
	29/788		

審査請求 未請求 請求項の数10 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2001-379452(P2001-379452)

(22) 出願日 平成13年12月13日 (2001.12.13)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 佐藤 敦祥

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 市毛 正之

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

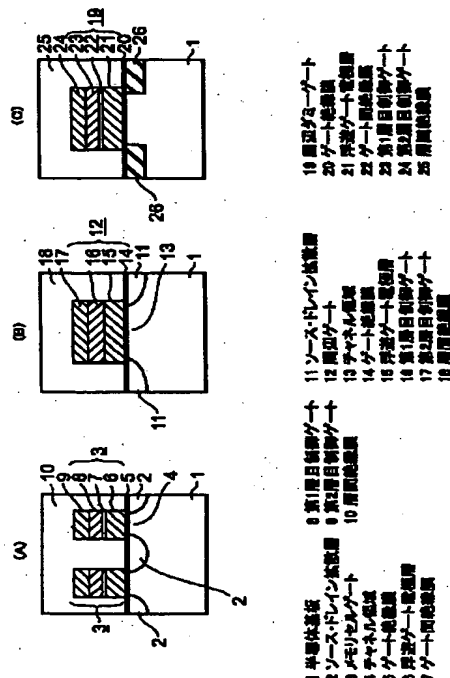
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 周辺回路のゲートコンタクト抵抗を抑制した高集積化された半導体装置を提供する。

【解決手段】 半導体基板1上に形成されたゲート絶縁膜5、浮遊ゲートとなる第1導電層6、ゲート間絶縁膜7、及び制御ゲートとなる第2導電層8、9の積層構造を有し、半導体基板中のソース・ドレイン拡散層2を備えるメモリトランジスタと、半導体基板上に形成されたゲート絶縁膜13、第1導電層15、第1導電層に導通する第2導電層16、17の積層構造を有し、半導体基板中のソース・ドレイン拡散層11を備える周辺ゲートトランジスタと、周辺ゲートトランジスタの第2導電層上に接続されたゲートコンタクトと、半導体基板上に形成されたゲート絶縁膜20、第1導電層21、ゲート間絶縁膜22、第2導電層23、24の積層構造の周辺ダミーゲート19とを具備する半導体装置である。



## 【特許請求の範囲】

【請求項1】半導体基板上に形成されたゲート絶縁膜、浮遊ゲートとなる第1導電層、ゲート間絶縁膜、及び制御ゲートとなる第2導電層の積層構造を有し、前記半導体基板中のソース・ドレイン拡散層を備えるメモリトランジスタと、

前記半導体基板上に形成された前記ゲート絶縁膜、前記第1導電層、及びこの第1導電層に導通する前記第2導電層の積層構造を有し、前記半導体基板中のソース・ドレイン拡散層を備える周辺ゲートトランジスタと、

この周辺ゲートトランジスタの前記第2導電層上に接続されたゲートコンタクトと、

前記半導体基板上に形成された前記ゲート絶縁膜、前記第1導電層、前記ゲート間絶縁膜、及び前記第2導電層の積層構造の周辺ダミーゲートとを具備することを特徴とする半導体装置。

【請求項2】前記メモリセルトランジスタのソース・ドレイン周囲の半導体基板中に前記浮遊ゲートと自己整合的に形成された素子分離領域をさらに有することを特徴とする請求項1記載の半導体装置。

【請求項3】前記制御ゲート及び前記第2導電層は多結晶シリコン層と金属シリサイド層との積層構造であることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】前記制御ゲート及び前記第2導電層は多結晶シリコン層とその上に自己整合的に形成された金属シリサイド層とを有し、前記ソース・ドレイン拡散層上には金属シリサイド層が形成されていることを特徴とする請求項1乃至3いずれか1項記載の半導体装置。

【請求項5】前記メモリセルトランジスタのゲート絶縁膜、前記周辺ゲートトランジスタのゲート絶縁膜、及び前記周辺ダミーゲートのゲート絶縁膜はそれぞれ等しい厚さを有し、前記メモリセルトランジスタの浮遊ゲート、前記周辺トランジスタの第1導電層、及び前記周辺ダミーゲートの第1導電層はそれぞれ等しい厚さを有し、前記メモリセルトランジスタのゲート間絶縁膜及び前記周辺ダミーゲートのゲート間絶縁膜は互いに厚さが等しく、前記メモリセルトランジスタの制御ゲート、前記周辺ゲートトランジスタの第2導電層、及び前記周辺ダミーゲートの第2導電層の厚さは互いにそれぞれが等しいことを特徴とする請求項1乃至4いずれか1項記載の半導体装置。

【請求項6】半導体基板上に順次、ゲート絶縁膜、第1ゲート電極層を形成する工程と、メモリセル領域及びダミーゲート領域にゲート間絶縁膜を形成する工程と、

前記メモリセル領域及び前記ダミーゲート領域のゲート間絶縁膜上に第2ゲート電極層を形成し、周辺ゲート領域の第1ゲート電極層上に第2ゲート電極層を形成する工程と、

前記メモリセル領域、前記ダミーゲート領域、及び前記

周辺ゲート領域の前記第2ゲート電極層上にマスク材を形成する工程と、

前記メモリセル領域及び前記ダミーゲート領域において、前記ゲート間絶縁膜を一部露出させ、前記周辺ゲート領域において、前記第1ゲート電極層を一部露出させる工程と、

前記メモリセル領域、前記ダミーゲート領域、及び前記周辺ゲート領域において、前記第2ゲート電極下方以外の前記第1ゲート電極層を除去する工程と、

前記メモリセル領域及び前記周辺ゲート領域において、前記半導体基板中に不純物注入を行ってソース・ドレイン拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】前記メモリセル領域及び前記ダミーゲート領域において、前記ゲート間絶縁膜を一部露出させ、前記周辺ゲート領域において、前記第1ゲート電極層を一部露出させる工程において、前記ゲート間絶縁膜が露出したことを検知して、前記第1ゲート電極層を一部露出させる工程を終了することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】前記ソース・ドレインを形成する工程の後に、前記周辺ゲートの第2ゲート電極層上にコンタクトを形成する工程をさらに有することを特徴とする請求項6又は7いずれか1項記載の半導体装置の製造方法。

【請求項9】前記第1ゲート電極層形成工程において、前記第1ゲート電極層の下層を前記半導体基板上に形成し、半導体基板の所定領域に溝を形成し、この溝内に素子分離領域を前記第1ゲート電極層の下層と自己整合的に形成し、この素子分離領域及び前記第1ゲート電極層の下層の上に前記第1ゲート電極層の上層を形成する工程をさらに有することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】ソース・ドレイン拡散層を形成する工程の後に、前記第2ゲート電極層の上及び前記ソース・ドレイン拡散層の上に自己整合的に金属シリサイド層を形成する工程と、前記周辺ゲートの第2ゲート電極層上にコンタクトを形成する工程とをさらに有することを特徴とする請求項6又は7いずれか1項記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、浮遊ゲートを持つ半導体装置及びその製造方法に係わり、特にダミーゲートを有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】従来、半導体メモリとしては例えばデータの書き込み・消去を電気的に行う、EEPROM (Electrically Erasable Programmable Read-Only Memory) が知られている。メモリセルには、通常、浮遊ゲートと制御ゲートとを積層してなる積層ゲート構造のMO

Sトランジスタが用いられる。

【0003】浮遊ゲートを有する半導体装置において、メモリセル以外のゲートは、浮遊ゲートを電氣的に接続する必要がある。その接続方法として、第1の従来技術では、浮遊ゲートの第一導電層を制御ゲートの第二導電層の外に引き出し、そこにコンタクトを落として電氣的に接続する。図13を用いてこの第1の従来技術の接続方法を説明する。図13(A)には、メモリセル部以外の周辺部における周辺トランジスタ周辺の斜視図を示す。半導体基板60中には、ソース・ドレイン拡散層61が設けられている。このソース・ドレイン拡散層61間が周辺トランジスタゲート62のチャネル領域63となる。チャネル領域63上には、シリコン酸化膜などからなるゲート絶縁膜64が形成されていて、その上には、多結晶シリコン層などからなる浮遊ゲート電極層65が形成されている。

【0004】この浮遊ゲート電極層65の上には、シリコン酸化窒化膜などからなるゲート間絶縁膜66が形成されている。このゲート間絶縁膜66上には、多結晶シリコン層などからなる第1層目制御ゲート67が形成されている。さらにこの上には、WSi層などからなる第2層目制御ゲート68が形成されている。この上には、TEOS膜などからなる層間絶縁膜が形成されているが図示を省略する。このように形成されたゲートが複数個、形成されて周辺部のトランジスタが構成される。周辺ゲート62には、その端部に引き出し部69がゲート絶縁膜64及び浮遊ゲート電極層65を有して形成されている。この引き出し部69の上層の浮遊ゲート65上に複数のコンタクトプラグ70が形成されている。

【0005】また、この周辺トランジスタの上面図を図13(B)に示す。ここで、引き出し部69は、周辺ゲート62と異なる層構造であるため、その水平方向のサイズが大きくなっている。

【0006】上記の第1の従来技術は、浮遊ゲートのない半導体装置のゲート加工方法と比べると、製造方法が煩雑で工程数は非常に増大する。浮遊ゲートを有する半導体メモリを製造する際には、この加工をできるだけ単純な工程で行う要求があり、そこで、メモリセル以外の領域のゲート間絶縁膜は、あらかじめ剥離しておき、浮遊ゲート電極と制御ゲート電極を接続しておく方法がある。次にこの第2の従来例の製造方法を図14乃至図17を用いて説明する。この図14乃至図17においては、(A)がメモリセル部におけるゲートの製造工程を表し、(B)が周辺部におけるゲートの製造工程を表す。まず、図14(A)、(B)に示されるように、各領域において、同時に半導体基板60上にゲート絶縁膜64、多結晶シリコン層などからなる浮遊ゲート電極層65及びシリコン酸化窒化膜などからなるゲート間絶縁膜66を順次堆積する。なお、図14(B)においては、ゲート間絶縁膜は図示されていないが、図14(B)に

至る前の工程において、ゲート間絶縁膜は存在している。この後、図14(B)に示される周辺ゲート部の周辺トランジスタ周辺では、ゲート間絶縁膜を剥離する。その際に、図14(A)に示されるメモリセルトランジスタ周辺の領域はゲート間絶縁膜を残す。

【0007】次に、図14(A)に示される領域では、ゲート間絶縁膜66上にそれぞれ、多結晶シリコン層などからなる第1層目制御ゲート67を堆積し、同時に図14(B)に示される領域では、浮遊ゲート電極層65上に第1層目制御ゲート67を堆積する。次に、図14(A)、(B)に示される各領域において、第1層目制御ゲート67上に同時にWSi層などからなる第2層目制御ゲート68を堆積する。さらにこの第2層目制御ゲート68の上に同時に、後の工程におけるエッチングの際のマスク材となるTEOS膜などからなるマスク層71を堆積する。

【0008】次に、図15(A)、(B)に示されるようにマスク層71の上にそれぞれフォトレジスト72、73を形成する。

【0009】次に、ゲートを形成する部分の上だけにフォトレジスト72、73を残して、他の部分から除去する。次に、フォトレジスト72、73をマスクとして、マスク層71をRIEにてエッチングし、フォトレジスト72、73下以外のマスク層71を除去する。次に、残されたマスク層71下以外の第2層目制御ゲート68を除去する。

【0010】次に、図16(A)、(B)に示されるように第2層目制御ゲート68下以外の第1層目制御ゲート67を除去する。ここで、図16(A)に示されるメモリセル部のメモリセルトランジスタ周辺では、ゲート間絶縁膜66が露出した状態で、エッチングを終了する。また、図16(B)に示される周辺ゲート部の周辺トランジスタ周辺では、ゲート絶縁膜64表面が露出した状態で、エッチングを終了する。

【0011】次に、図17(A)に示されるようにメモリセル部の第1層目制御ゲート67下以外の浮遊ゲート電極層65をエッチングして、ゲート電極74を形成する。図17(B)に示されるように周辺部においては、浮遊ゲート65下以外の半導体基板60が掘られる場合がある。

【0012】この後で、メモリセルトランジスタや周辺トランジスタの半導体基板60中に不純物をそれぞれゲートをマスクとしてイオン注入して、ソース・ドレイン拡散層(図示せず)や層間絶縁膜(図示せず)、ゲートコンタクト(図示せず)やソース・ドレインコンタクト(図示せず)を形成する。

【0013】上記工程の場合、周辺部の第1層目制御ゲートをRIEにて加工する際に、周辺部は浮遊ゲート電極層までエッチングされてしまう。すなわち、時間制御にて、第2層目制御ゲート及び第1層目制御ゲートを除

去する際に、酸化膜であるゲート間絶縁膜がエッチングレートの差によりメモリセル部においては、ストッパーとして働く。しかし、周辺部では、ゲート間絶縁膜が除去されているために、第2層目制御ゲート及び第1層目制御ゲートを除去する際に、エッチングレートの異なるストッパー層が存在しないので、その下の浮遊ゲート電極層までが除去されてしまう場合がある。そして、エッチングレートが異なるシリコン酸化膜のゲート絶縁膜でエッチングが停止することになる。

【0014】また、第3の従来技術として、上記第2の従来技術で問題となる基板掘られを回避するため、メモリセルと周辺部を別々に加工する方法がある。すなわち、図15に示される工程の後で、図18(A)、(B)に示されるように、レジスト72をマスクとして、マスク層71をエッチングし、レジスト72下方以外では、第2層目制御ゲート68の上表面を露出させる。次に、図19(A)、図19(B)に示されるようにメモリセル部及び周辺部のレジスト72、73を除去する。次に、図20(B)に示されるように周辺部をレジスト76で被覆する。図20(A)に示されるようにメモリセル部においては、マスク層71をマスクとして、第2層目制御ゲート68、第1層目制御ゲート67、ゲート間絶縁膜66及び浮遊ゲート電極層65までをエッチングして、マスク層71下方以外で、ゲート絶縁膜64を露出させる。次に、図21(A)に示されるように、メモリセル部をレジスト73で覆う。次に、図21(B)に示されるように周辺部のレジスト76を除去し、マスク層71をマスクとして、第2層目制御ゲート68、第1層目制御ゲート67、ゲート間絶縁膜66及び浮遊ゲート電極層65までをエッチングする。すなわち、ゲート絶縁膜64が露出するまでエッチングして、マスク層71下方以外で、ゲート絶縁膜64を露出させる。次に、図22(A)、(B)に示されるようにメモリセル部からレジスト75を剥離する。

【0015】なお、ここで、周辺部には、CMP工程においてディッシング現象を抑制するためのダミーゲートが、通常の周辺ゲートよりも大きいゲート長を有して複数個設けられている。なお、このダミーゲートは、ゲート構造は周辺ゲート部の周辺トランジスタのゲートと同様の構造となっているが、その周囲にソース・ドレイン拡散層は設けられておらず、素子として動作することがない。

【0016】

【発明が解決しようとする課題】以上のような従来の半導体装置及びその製造方法では、以下の課題が生じる。例えば、周辺部のトランジスタのチャネル長が0.2 $\mu$ m以下のような微細で高密度な半導体装置を形成しようとした場合、第1の従来技術にかかる図13に示されるような引き出し電極を形成することは、リソグラフィの制限により困難である。すなわち、第1の従来技術で

は、コンタクトプラグが形成される引き出し部と周辺ゲートとはその層構造が異なり、段差があるため、製造工程中で位置合わせ余裕を設ける必要があり、引き出し部の大きさが比較的大きく形成された。すなわち、ゲート長方向の長さV、ゲート幅方向の長さWがいずれも大きくなっている。そのため、周辺トランジスタ周囲の素子としての動作に寄与しない面積を大きくなり、高集積化が妨げられている。

【0017】また、さらに以下の課題がある。メモリセル部以外の領域のゲート間絶縁膜は、あらかじめ剥離しておき、浮遊ゲート電極と制御ゲート電極を接続しておく方法の第2の従来技術があるが、この方法の場合、制御ゲート電極をRIEにて加工する際に、周辺部では浮遊ゲート電極までエッチングされてしまう。その後、図17(B)に示されるようにゲート間絶縁膜と浮遊ゲート電極をエッチングすることで、周辺部では半導体基板が掘れてしまい、不良品となる問題があった。すなわち、第2の従来技術の半導体装置の製造方法では、制御ゲート電極のエッチングを終了する判断はエッチング開始からの経過時間で行っていて、膜厚やエッチング速度のばらつきにより周辺部で基板が掘られてしまう問題があった。

【0018】また、上記課題を生じさせないように前述した第3の従来技術のようにメモリセルトランジスタと周辺部のトランジスタを別々にレジストを用いて形成すると、製造工程数が増大してしまう。即ち、半導体装置の製造工程数を減らして製造すると歩留まりが低下し、歩留まりを上げようとする製造工程数が増加して、製造効率が低下してしまう。

【0019】本発明の目的は以上のような従来技術の課題を解決することにある。

【0020】特に、本発明の目的は、周辺回路のゲートコンタクト抵抗を抑制した高集積化された半導体装置を提供することである。さらに、本発明の別の目的は、製造工程数を削減した微細なゲート長の周辺ゲートを持つ半導体装置の製造方法を提供することである。

【0021】

【課題を解決するための手段】上記目的を達成するために、本発明の特徴は、半導体基板上に形成されたゲート絶縁膜、浮遊ゲートとなる第1導電層、ゲート間絶縁膜、及び制御ゲートとなる第2導電層の積層構造を有し、前記半導体基板中のソース・ドレイン拡散層を備えるメモリトランジスタと、前記半導体基板上に形成された前記ゲート絶縁膜、前記第1導電層、及びこの第1導電層に導通する前記第2導電層の積層構造を有し、前記半導体基板中のソース・ドレイン拡散層を備える周辺ゲートトランジスタと、この周辺ゲートトランジスタの前記第2導電層上に接続されたゲートコンタクトと、前記半導体基板上に形成された前記ゲート絶縁膜、前記第1導電層、前記ゲート間絶縁膜、及び前記第2導電層の積

層構造の周辺ダミーゲートとを具備することを特徴とする半導体装置である。

【0022】本発明の別の特徴は、半導体基板上に順次、ゲート絶縁膜、第1ゲート電極層を形成する工程と、メモリセル領域及びダミーゲート領域にゲート間絶縁膜を形成する工程と、前記メモリセル領域及び前記ダミーゲート領域のゲート間絶縁膜上に第2ゲート電極層を形成し、周辺ゲート領域の第1ゲート電極層上に第2ゲート電極層を形成する工程と、前記メモリセル領域、前記ダミーゲート領域、及び前記周辺ゲート領域の前記第2ゲート電極層上にマスク材を形成する工程と、前記メモリセル領域及び前記ダミーゲート領域において、前記ゲート間絶縁膜を一部露出させ、前記周辺ゲート領域において、前記第1ゲート電極層を一部露出させる工程と、前記メモリセル領域、前記ダミーゲート領域、及び前記周辺ゲート領域において、前記第2ゲート電極下方以外の前記第1ゲート電極層を除去する工程と、前記メモリセル領域及び前記周辺ゲート領域において、前記半導体基板中に不純物注入を行ってソース・ドレイン拡散層を形成する工程とを有する半導体装置の製造方法である。

【0023】

【発明の実施の形態】（第1の実施の形態）図1には、本実施の形態の半導体装置の断面図が示される。まず、図1（A）においては、半導体装置におけるメモリセル部のメモリセルトランジスタの構造が示されている。半導体基板1中には、複数のソース・ドレイン拡散層2が設けられている。この複数のソース・ドレイン拡散層2間がメモリセルトランジスタゲート3のチャネル領域4となる。チャネル領域4上には、シリコン酸化膜などからなるゲート絶縁膜5が形成されていて、その上には、多結晶シリコン層などからなる浮遊ゲート電極層6が形成されている。ここで、ゲート絶縁膜はシリコン酸化膜などの材料である。

【0024】さらにその上には、シリコン酸窒化膜などからなるゲート間絶縁膜7が形成されている。ゲート間絶縁膜7は、例えばシリコン酸化膜、シリコン窒化膜、及びシリコン酸窒化膜から構成されている。このゲート間絶縁膜7上には、多結晶シリコン層などからなる第1層目制御ゲート8が形成されている。さらにこの上には、WSi層などからなる第2層目制御ゲート9が形成されている。これらのゲート構造の上には、TEOS膜などからなる層間絶縁膜10が形成されている。このように形成されたゲートが複数個、形成されてメモリセル部が構成される。

【0025】次に、メモリセル部以外の周辺部において形成される周辺トランジスタの構造が図1（B）に示される。半導体基板1中には、複数のソース・ドレイン拡散層11が設けられている。この複数のソース・ドレイン拡散層11間が周辺トランジスタゲート12のチャネ

ル領域13となる。チャネル領域13上には、シリコン酸化膜などからなるゲート絶縁膜14が形成されていて、その上には、多結晶シリコン層などからなる浮遊ゲート電極層（第1導電層）15が形成されている。

【0026】この浮遊ゲート電極層15の上には、多結晶シリコン層などからなる第1層目制御ゲート（第2導電層）16が形成されている。このため、浮遊ゲート電極層15と第1層目制御ゲート16とは、互いに導通している。

【0027】さらにこの上には、WSi層などからなる第2層目制御ゲート17が形成されている。この上には、TEOS膜などからなる層間絶縁膜18が形成されている。このように形成されたゲートが複数個、形成されて周辺部のトランジスタが構成される。

【0028】次に、周辺部において形成される周辺ダミーゲート19の構造が図1（C）に示される。半導体基板1中には、ソース・ドレイン拡散層は設けられていない。なお、図1（C）に示されるように周辺ダミーゲート19下の端部下の半導体基板1中に素子分離領域26が形成されていてもよい。この素子分離領域26はSTI又はLOCOSにより形成できる。又は、周辺ダミーゲート19下の半導体基板1に不純物領域も素子分離領域も設けない構成としてもよい。半導体基板1上には、シリコン酸化膜などからなるゲート絶縁膜20が形成されていて、その上には、多結晶シリコン層などからなる浮遊ゲート電極層（第1導電層）21が形成されている。

【0029】さらにその上には、シリコン酸窒化膜などからなるゲート間絶縁膜22が形成されている。このゲート間絶縁膜22上には、多結晶シリコン層などからなる第1層目制御ゲート（第2導電層）23が形成されている。さらにこの上には、WSi層などからなる第2層目制御ゲート24が形成されている。この上には、TEOS膜などからなる層間絶縁膜25が形成されている。このように形成されたゲートが複数個、形成されて周辺部のトランジスタが構成される。

【0030】このように、メモリセル部のメモリセルトランジスタのゲート中の各層の厚さと、周辺部の周辺トランジスタのゲート中のそれぞれ対応する各層の厚さと、周辺ダミーゲートのそれぞれ対応する各層の厚さととは互いに等しく形成されている。

【0031】このように、メモリセル部のメモリセルトランジスタのゲート中の各層の組成と、周辺部の周辺トランジスタのゲート中のそれぞれ対応する各層の組成と、周辺ダミーゲートのそれぞれ対応する各層の組成とは互いに等しく形成されている。

【0032】又、図1（B）と図1（C）においては、周辺トランジスタのゲート長と周辺ダミーゲートのゲート長は等しく形成されているように示されているが、互いに等しい必要は無く、どちらかがより大きく形成され

ていてもよい。また、高集積化されたメモリセルトランジスタと同程度の小さいゲート長を持つ周辺ダミーゲートが形成されてもよい。

【0033】次に、本実施の形態の周辺トランジスタの構造を示す斜視図を図2(A)に示す。なお、ここでは、層間絶縁膜は図示を省略している。周辺ゲート19には、その端部にコンタクト部30が周辺ゲートと同じ層構造を有して形成されている。このコンタクト部30の最上層の第2層目制御ゲート17上に複数のコンタクトプラグ31が形成されている。

【0034】また、この周辺トランジスタの上面図を図2(B)に示す。ここで、コンタクト部30は、周辺ゲート19と同一の層構造であるため、その水平方向のサイズが極めて小さく形成できる。すなわち、ゲート長方向の長さX、ゲート幅方向の長さYがいずれも小さく形成できる。そのため、周辺トランジスタ周囲の素子としての動作に寄与しない面積を縮小でき、高集積化が達成される。

【0035】すなわち、図13に示されるような引き出し形式の第1の従来技術では、コンタクトプラグが形成される引き出し部と周辺ゲートとはその層構造が異なり、段差があったため、製造工程中で位置合わせ余裕を設ける必要があり、引き出し部の大きさが比較的大きく形成されたのに対して、本実施の形態では、コンタクト部30の面積を小さく形成できる。なお、図1に示される構成において、各トランジスタは半導体基板1の表面付近にウエル領域を設けて、そのウエル領域中に各不純物領域を形成してもよい。

【0036】次に、図3乃至図7を用いて本実施の形態に係る半導体装置の製造方法を説明する。ここで、図3乃至図7において、(A)がメモリセル部のメモリセルトランジスタ周辺を表し、(B)が周辺部の周辺トランジスタ周辺を表し、(C)が周辺部のダミーゲートを表している。ここで、ダミーゲートとは、トランジスタなどの素子とは関係なく、リソグラフィやCMP工程におけるマージンを上げるために設けるゲートを指す。

【0037】まず、図3(C)に示される領域で、素子分離領域26を予め半導体基板1中に形成する。次に、図3(A)、(B)、(C)に示されるように、各領域において、同時に半導体基板1上にゲート絶縁膜5、14、20、多結晶シリコン層などからなる浮遊ゲート電極層6、15、21、及びシリコン酸窒化膜などからなるゲート間絶縁膜7、22を順次堆積する。なお、図3(B)においては、ゲート間絶縁膜は図示されていないが、図3(B)に至る前の工程において、ゲート間絶縁膜は存在している。この後、図3(B)に示される周辺部の周辺トランジスタ周辺では、ゲート間絶縁膜を剥離する。その際に、図3(C)に示されるダミーゲートの領域及び図3(A)に示されるメモリセルトランジスタ周辺の領域はゲート間絶縁膜を残す。ここで、半導体基

板はP型のシリコンを採用することができる。また、場合により、P型ウエル或いはN型ウエル及びP型ウエルの二重ウエル等を形成し活性化してもよい。また、多結晶シリコン層を導電性にするために、予め例えばP(リン)がドーパされたものを用いる。また、或いは堆積後にイオン注入で、Pをイオン注入してもよい。

【0038】次に、図3(A)、(C)に示される領域では、同時にゲート間絶縁膜7、22上にそれぞれ、多結晶シリコン層などからなる第1層目制御ゲート8、23を堆積し、同時に図3(B)に示される領域では、浮遊ゲート電極層15上に第1層目制御ゲート16を堆積する。次に、図3(A)、(B)、(C)に示される各領域において、第1層目制御ゲート8、16、23上に同時にWSi層などからなる第2層目制御ゲート9、17、24を堆積する。さらにこの第2層目制御ゲート9、17、24の上に同時に、後の工程におけるエッチングの際のマスク材となるTEOS膜などからなるマスク層35、36、37を堆積する。

【0039】次に、図4(A)、(B)、(C)に示されるようにマスク層35、36、37の上にそれぞれフォトリソ resist 38、39、40を形成する。

【0040】次に、ゲートを形成する部分の上だけにフォトリソ resist 38、39、40を残して、他の部分から除去する。ここで、図4(C)に領域では、レジスト40はその端部が素子分離領域26の上方に位置するように残す。次に、フォトリソ resist 38、39、40をマスクとして、マスク層35、36、37をRIEにてエッチングし、フォトリソ resist 38、39、40下以外のマスク層35、36、37を除去する。次に、残されたマスク層35、36、37下以外の第2層目制御ゲート9、17、24を除去する。

【0041】次に、図5(A)、(B)、(C)に示されるように第2層目制御ゲート9、17、24下以外の第1層目制御ゲート8、16、23を除去する。ここで、図5(A)に示されるメモリセル領域のメモリセルトランジスタ周辺及び図5(C)に示される周辺ダミーゲート部では、ゲート間絶縁膜7、22が露出した状態で、エッチングを終了する。また、図5(B)に示される周辺ゲート部の周辺トランジスタ周辺では、浮遊ゲート電極層15表面が露出した状態で、エッチングを終了する。

【0042】この第1層目制御ゲート8、16、23の多結晶シリコン層のエッチングにおいては、ゲート間絶縁膜7、22を、エッチングの終点検出に利用する。つまり、メモリセル部に加えて周辺部のダミーゲートの部分にゲート間絶縁膜を残すことにより、エッチングの終点検出の感度を大幅に上げることができる。なお、ゲート間絶縁膜は、シリコン酸窒化膜やシリコン酸化膜が使われる。すなわち、ゲート間絶縁膜は、多結晶シリコン層とのエッチングレートの違いが大きい材料が使用されて



いる。このように第1層目制御ゲートのエッチング時に、ゲート間絶縁膜をエッチングストッパーとして利用している。すなわち、第1の従来技術ではエッチングストッパーとしてのゲート間絶縁膜は、メモリセル部のメモリセルトランジスタのみに存在し、その被覆面積が小さいためにエッチング終点の検出として利用できなかったものを、本実施の形態では、ダミーゲートにもエッチングストッパーを残して、被覆面積を大きくすることで、エッチング終点の検出に利用できるようにした。

【0043】次に、第1層目制御ゲート8、16、23のエッチング終点の検出を行った後で、メモリセル部、周辺ダミーゲート部のゲート間絶縁膜7、22をウエットエッチングやRIEにて除去する。この際、周辺部や周辺ダミーゲート部の浮遊ゲート電極層15、21は除去され尽くすことは無い。このため、周辺部や周辺ダミーゲート部において、浮遊ゲート電極層をエッチングする際に、半導体基板が露出することがなくなる。

【0044】次に、図6に示されるようにメモリセル部、周辺部及び周辺ダミーゲート部の第1層目制御ゲート8、16、23下以外の浮遊ゲート電極層6、15、21をそれぞれエッチングして、ゲート電極を形成する。この際、半導体基板上のゲート酸化膜5、14、20は残される。この後で、メモリセルトランジスタや周辺トランジスタの半導体基板1中に不純物をそれぞれゲートをマスクとしてイオン注入して、ソース・ドレイン拡散層2、11を形成する。

【0045】次に、図7に示されるように、全面に層間絶縁膜10、18、25を堆積する。その後で、図1に示されるようにCMPを行って、層間絶縁膜10、18、25の上表面を平坦化して、ゲートコンタクト（図示せず）やソース・ドレインコンタクト（図示せず）を形成する。

【0046】このように、周辺ゲート部のゲート間絶縁膜を剥離して、浮遊ゲート電極層と制御ゲートを電気的に接続した周辺トランジスタを製造しつつ、第1の従来技術の懸念点である周辺部における半導体基板のオーバーエッチングを回避できる。さらに、ゲート間絶縁膜、浮遊ゲート電極層、ゲート絶縁膜を順次エッチングすることで、メモリセル部と周辺部の一括加工ができ、製造工程数の削減が図られる。

【0047】ここで、メモリセルトランジスタ、周辺トランジスタ、ダミーゲートそれぞれにおいて、第1導電層である浮遊ゲート電極は共通して、その厚さが約0.1 $\mu$ m程度であり、第2導電層である第1層目制御ゲートは共通して、その厚さが約0.05 $\mu$ m程度であり、その上の第2層目制御ゲートであるWSi層は共通して、その厚さが約0.05 $\mu$ m程度であり、その上のマスク層であるTEOS層は共通して、その厚さが約0.2 $\mu$ m程度である。また、ゲート絶縁膜、ゲート間絶縁膜は共通してその厚さが約0.01 $\mu$ m程度である。

【0048】次に、エッチングの終点検出について、図8を用いて説明する。終点検出は、エッチング時に露出面から放射される特定の波長の強度を測定することで行う。ここで、多結晶シリコンが露出している際の放出光の特定波長の強度とゲート間絶縁膜が露出している際の放出光の特定波長の強度とが大きく異なるような特定波長の光を予め設定しておき、その特定波長の強度の変極点を検出して、その時点を終点として扱い、エッチングを終了する。なお特定波長は例えば約300nm～500nm程度の波長の光を検出する。すなわち、図8において、横軸をエッチング工程における時間の経過を表すものとし、縦軸を検出すべき特定波長の光の強度を表すものとする、時刻t1において、光の強度の変化が急激となる変極点があることがわかる。そこで、この時刻t1を観測した時点で、エッチングを終了することで、必要な第1層目制御ゲートがエッチングされ、かつ、不要な浮遊ゲート電極層がエッチングされてしまうことを防止できる。

【0049】このように、周辺回路部のゲート間絶縁膜を剥離する際に、ダミーゲートの領域はゲート間絶縁膜を残すことで、チップ全体としてはゲート間絶縁膜が残る部分が多くなり、制御ゲート電極層をエッチングする際に、ゲート間絶縁膜をエッチングの終点検出に使うことができる。よって、メモリセル部、周辺部のゲートとともに、一括加工することが可能になる。

【0050】ここで、ダミーゲートは、層間絶縁膜をゲート加工後に形成した後で表面を平坦化するCMP工程で、ディッシング現象を防止するために設けられるものである。このダミーゲート下の半導体基板中には素子分離領域が設けられている。

【0051】ここで、図9(A)に示されるようにダミーゲート19は、周辺ゲート12の5倍程度の長さのゲート長として形成することができる。さらには、ダミーゲート19のゲート長を周辺ゲート12と同程度の大きさとして、個数を増やしてゲートが無い領域の長さを従前と同様の長さとすることも可能である。ここで、ダミーゲート19下の半導体基板1中には、複数の素子分離領域27を設けている。

【0052】また、図9(B)に示されるように、ダミーゲート19のゲート長を周辺回路部12の通常のゲートよりも小さく設定して、個数をさらに増やして、ゲートが存在しない領域の長さを従前と同様の長さとすることも可能である。ここで、ダミーゲート19下の半導体基板1中には、すべてのダミーゲート19下に及ぶような大きさの素子分離領域28を設けている。

【0053】なお、ゲート間距離の最大値は、例えば約10 $\mu$ m程度とすることが好ましい。これ以上の距離となる領域には、ダミーゲートを設けて、ディッシング現象を防止する。なお、他の指標として、例えば50 $\mu$ m四方あたり、ゲート被覆率を70パーセント以上とする

ような基準で、ダミーゲートを設けても良い。この場合、ダミーゲートをゲート長を短くして、その個数を多くした場合、被覆率は低下するが、ゲート間隔が一定限度以下であれば、ディッシング防止効果は得られる。また、ディッシング現象防止が果たされる程度の大きさや個数のダミーゲートが設けられれば、エッチングの終点検出として用いられるゲート間絶縁膜の面積も十分に得ることができる。

【0054】また、周辺ゲートのゲート長はメモリセルゲートの約1.5倍程度の大きさとなっている。ちなみに、例えば、半導体記憶装置においてメモリセル部の領域は、約50パーセント程度であり、周辺部の動作を行うトランジスタの領域は約20パーセント程度であり、周辺部のダミーゲートの領域は約30パーセント程度である。

【0055】なお、制御ゲートは2層構造で形成したが、場合により多結晶シリコン層の1層構造で形成することも可能である。また、図10に示されるようにメモリセルトランジスタのゲート幅方向の断面は、素子分離領域45に挟まれた領域にゲート絶縁膜5が形成され、そのゲート絶縁膜5上及び素子分離領域45上に浮遊ゲート6が形成されている。この浮遊ゲート6は、素子分離領域45上に端が設けられている。さらにその上に順次ゲート間絶縁膜7、第1層目制御ゲート8、第2層目制御ゲート9、及び層間絶縁膜10が形成されている。素子分離領域45上で、分離された浮遊ゲート6の間には、ゲート間絶縁膜7及び第1層目制御ゲート8が入り込んでいる。ここで、素子分離領域45の半導体基板1中における溝の深さとしては、例えば約0.25 $\mu\text{m}$ 程度である。このようにゲート幅方向では、浮遊ゲート6を形成後に、レジスト（図示せず）を用いてパターニングしてRIE法によって、素子分離領域45上で、浮遊ゲート6を分離加工する。次に、ゲート間絶縁膜7を堆積し、その上に第1層目制御ゲート8、第2層目制御ゲート9を順次堆積して形成する。

【0056】なお、本実施の形態はフラッシュメモリからなる半導体記憶装置だけでなく、フラッシュメモリを搭載したメモリ混載ロジック半導体装置にも適用できる。このメモリ混載ロジック半導体装置においては、その動作速度を向上することが必要な場合、本実施の形態は周辺ゲートにおいて、低抵抗のゲートに直接コンタクトを形成しているために高速度動作を行うことができ、好適である。また、NOR型フラッシュメモリの場合、メモリセルにはメモリセルトランジスタのみがあり、メモリセル部では、同一構造のゲートとすることができる。なお、NAND型フラッシュメモリでは、メモリセルには選択ゲートがあり、選択ゲートでは、周辺部と同様のゲート構造とすることが必要がある。すなわち、メモリセル部における選択トランジスタは、周辺部と同様にゲート間絶縁膜が除去されて、浮遊ゲート電極層及び制御ゲート

は同電位に導通している。そのため、NAND型フラッシュメモリでは、選択ゲートとメモリセルトランジスタの間の距離をメモリセルとトランジスタ同士の距離よりも大きく設定して、選択ゲートのゲート間絶縁膜を除去することが必要である。

【0057】本実施の形態によれば、ダミーゲート領域はゲート間絶縁膜を剥離しないという方法で、工程増無く、セル部、周辺部の一括加工を可能にしている。また、ダミーゲートがあることで、CMP時のディッシングの発生を防止している。

【0058】本実施の形態によれば、少ない工程数で、メモリセルトランジスタと周辺回路トランジスタを同時に製造することができる。さらに引き出し電極を1層目ゲートで製造する必要が無く、周辺回路トランジスタのコンタクトは2層目ゲート電極上から取ることができる。このため、WSiなどの低抵抗材料を介して配線を行えるので、配線抵抗を低減できる。すなわち、多結晶シリコンの抵抗率とWSiの抵抗率とは約5倍の差があり、WSiに直接コンタクトを接続することで、抵抗を5分の1に下げることができる。さらに、引き出し電極を2層構造としていて、第1の従来技術における1層構造の引き出し電極形成時のエッチングの合わせずれ余裕を持たせる必要がなく、第1の従来技術において、存在した引き出し電極周辺のデッドスペースを削減でき、高集積化を図ることができる。また、コンタクト形成部の面積をコンタクト形成部自体が2層目ゲートであるために段差がないことから、より小さく形成できる。

【0059】また、第1の従来技術における引き出し電極を形成するには、残される第1層導電層上に厚いレジストを形成して、パターニングしていたため、レジストのあわせずれを考慮して、引き出し電極をコンタクト形成時の合わせずれを考慮した大きさ以上に大きく形成する必要があった。これに対し、本実施の形態では、引き出し電極は形成されず、コンタクト部を形成するには、通常のゲート加工と同じ工程で一体化した膜圧の薄いレジストを用いるため、レジストのあわせずれを考慮して大きくコンタクト部を形成する必要がない。

【0060】本実施の形態の半導体装置は、小型化、高速度動作化、小抵抗化された周辺ゲートを持つメモリ混載半導体装置に好適である。

【0061】（第2の実施の形態）本実施の形態では、浮遊ゲート電極層と素子分離領域を自己整合的に形成する場合に第1の実施の形態と同様の製造方法を適用している。図11にゲート幅方向のメモリセル部の断面図を示す。なお、ゲート長方向の断面は第1の実施の形態と同様である。素子分離領域46に挟まれた領域にゲート絶縁膜5が形成され、そのゲート絶縁膜5上に第1層目浮遊ゲート47が形成されている。この第1層目浮遊ゲート47上及び素子分離領域46上に第2層目浮遊ゲート48が形成されている。この第2層目浮遊ゲート48

は、素子分離領域45上に端が設けられている。さらにその上に順次ゲート間絶縁膜7、第1層目制御ゲート8、第2層目制御ゲート9、及び層間絶縁膜10が形成されている。素子分離領域45上で、分離された第2層目浮遊ゲート48の間には、ゲート間絶縁膜7及び第1層目制御ゲート8が入り込んでいる。ここで、素子分離領域46の半導体基板1中における溝の深さとしては、例えば約0.25 $\mu\text{m}$ 程度である。このようにゲート幅方向では、第2層目浮遊ゲート48を形成後に、レジスト(図示せず)を用いてパターンニングしてRIE法によって、素子分離領域45上で、第2層目浮遊ゲート48を分離加工する。次に、ゲート間絶縁膜7を堆積し、その上に第1層目制御ゲート8、第2層目制御ゲート9を順次堆積して形成する。

【0062】周辺ゲートトランジスタにおいては、ゲート間絶縁膜が無い点以外はメモリセル部と共通の構成となっている。さらに、周辺ダミーゲート部では、メモリセル部と同様の構成となっている。このように、本実施の形態の半導体装置では、浮遊ゲートが2層構造になっていて、その1層目が素子分離領域間に完全に埋め込まれている点で、第1の実施の形態と異なっている。

【0063】次にこの半導体装置の製造方法を説明する。まず、ゲート絶縁膜5、第1層目浮遊ゲート47となる多結晶シリコン層を堆積した後、素子分離溝を半導体基板1中に形成し、その溝中に素子分離領域46を形成する。続いて、第2層目浮遊ゲート48を堆積する。以下は第1の実施の形態同様に製造される。すなわち、ゲート間絶縁膜7を堆積し、周辺ゲートトランジスタ部のゲート間絶縁膜7を剥離する。その際に、ダミーゲート部においては、ゲート間絶縁膜7を残す。

【0064】次に、露出面上に例えば多結晶シリコン層からなる第1層目制御ゲート電極8、例えばWSi層からなる第2層目制御ゲート電極9、さらにマスク材のTEOS層などのマスク層を堆積する。その後は、フォトリソレジストをマスクとしてマスク層をRIEにてエッチングし、次に第2層目制御ゲート電極をエッチングし、さらに第1層目制御ゲート電極をエッチングする。この第1層目ゲート電極のエッチングはゲート間絶縁膜7を、エッチングの終点検出に利用する。つまり、メモリセル部に加えて周辺部のダミーゲートの部分にゲート間絶縁膜を残すことにより、エッチングの終点検出の感度を大幅に上げることができる。よって、第1の従来の技術の懸念点である周辺部のオーバーエッチングを回避でき、その後、ゲート間絶縁膜、第2層目浮遊ゲート、第1層目浮遊ゲート、ゲート絶縁膜と順次エッチングすることで、メモリセル部と周辺部の一括加工ができる。

【0065】なお、第1の実施の形態においては、活性化領域端部に電界集中が生じる可能性がある。これに対し、本実施の形態の半導体装置では、素子分離領域側面に対して垂直に第1層目浮遊ゲート47が接しているた

め、第1層目浮遊ゲート47から半導体基板中のソース・ドレイン拡散層までの電流経路は素子分離領域側面に平行に直線的に生じるため、特に電界集中が起きることではない。すなわち、30V程度の高電圧で書き込み読み出し動作を行う半導体装置において、電界集中の起きない高信頼性の半導体装置を提供できる。

【0066】このように、本実施の形態においても第1の実施の形態同様の効果を得て、さらに電流集中を防止した半導体装置を提供することができる。

【0067】(第3の実施の形態) 本実施の形態では、制御ゲート電極に自己整合的に金属をシリサイドーションさせることにより形成する場合に第1の実施の形態と同様の製造方法を適用している。図12にゲート長方向のメモリセル部の断面図を示す。半導体基板1上にゲート絶縁膜5が形成され、そのゲート絶縁膜5上に浮遊ゲート電極6が形成されている。この浮遊ゲート電極6上に、順次ゲート間絶縁膜7、制御ゲート8が形成されている。この制御ゲート8の上に金属シリサイド層50が形成されている。また、半導体基板1中の浮遊ゲート電極6近傍に設けられたソース・ドレイン拡散層2上にも金属シリサイド層51が設けられている。なお、第2の実施の形態において、第2層目制御電極に代えて、金属シリサイド層を設けることも可能である。これら、金属シリサイド層50、51の上にはそれぞれゲートコンタクト、ソース・ドレインコンタクト(図示せず)が形成されて、それぞれ制御ゲート8及びソース・ドレイン拡散層2へ電位を与えている。

【0068】周辺ゲートトランジスタにおいては、ゲート間絶縁膜が無い点以外はメモリセル部と共通の構成となっている。さらに、周辺ダミーゲート部では、ソース・ドレイン領域やゲートコンタクトは存在しないため、図12に示される金属シリサイド層は有していないが、他の構成はメモリセル部と同様の構成となっている。

【0069】このように、本実施の形態の半導体装置では、制御ゲートが1層構造になっていて、その上に金属シリサイド層が設けられていて、ソース・ドレイン拡散層2上にも金属シリサイド層が設けられている点で、第1の実施の形態と異なっている。

【0070】次に、この半導体装置の製造方法を説明する。まず、半導体基板上にシリコン酸化膜などのゲート絶縁膜、多結晶シリコン層などの浮遊ゲート電極層、シリコン酸窒化膜などのゲート間絶縁膜を堆積する。続いて、周辺部のトランジスタ領域のゲート間絶縁膜を剥離する。その際に、周辺ダミーゲート部ではゲート間絶縁膜を残す。次に、多結晶シリコン層などの制御ゲート電極層、さらにマスク材としてTEOS膜などのマスク層を堆積する。その後は、第1の実施の形態の半導体装置の製造方法のように、フォトリソレジストをマスクとしてマスク材をRIEにてエッチングし、次に制御ゲート層をエッチングする。この制御ゲート層のエッチングはゲ

ート間絶縁膜を、エッチングの終点検出に利用する。つまり、メモリセル部に加えて周辺部のダミーゲートの部分にゲート間絶縁膜を残すことにより、エッチングの終点検出の感度を大幅に上げることができる。よって、第1の実施の形態同様に周辺部のオーバーエッチングを回避でき、その後、ゲート間絶縁膜、浮遊ゲート電極層、ゲート絶縁膜とエッチングすることで、メモリセル部と周辺部の一括加工ができる。その後、制御ゲート上に金属（たとえば、Co）のシリサイド化を行い、ゲート52を形成する。この場合、多結晶シリコン層を制御ゲート電極として堆積させて、ゲート加工を行った後にシリサイド（Salicide : Self-Aligned Silicide : 自己整合的なシリサイド形成技術）方法を用いて、シリサイドを使用したゲートを形成することができる。

【0071】本実施の形態によれば、制御ゲート電極層である第2多結晶シリコン層の上に直接TEOS層を形成し、ゲートを加工する。この場合、金属シリサイド層がない分、ゲート電極の高さが低くなり、ゲート加工の際のエッチング対象が少なくなり、第1又は第2の実施の形態に比べて加工がより容易に行える。さらに、ゲート加工後に、表面に金属シリサイド層を形成しているため、ゲート及びソース・ドレインのコンタクト抵抗を低減できる。すなわち、配線抵抗を低く抑制した上で、半導体装置の製造を容易にできる。

【0072】上記の第1乃至第3の実施の形態はそれぞれ組み合わせて実施することができる。

【0073】

【発明の効果】本発明によれば、周辺回路のゲートコンタクト抵抗を抑制した高集積化された半導体装置を提供できる。さらに、本発明によれば、製造工程数を削減した微細なゲート長の周辺ゲートを持つ半導体装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】（A）は、本発明の第1の実施の形態に係る半導体装置におけるメモリセル部のメモリセルトランジスタの構造の断面図であり、（B）は、本発明の第1の実施の形態に係る半導体装置における周辺部において形成される周辺トランジスタの構造の断面図であり、

（C）は、本発明の第1の実施の形態に係る半導体装置における周辺部において形成される周辺ダミーゲートの構造の断面図である。

【図2】（A）は、本発明の第1の実施の形態に係る半導体装置における周辺トランジスタの構造を示す斜視図であり、（B）は、本発明の第1の実施の形態に係る半導体装置における周辺トランジスタの構造を示す上面図である。

【図3】（A）は、本発明の第1の実施の形態に係る半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、

（B）は、本発明の第1の実施の形態に係る半導体装置

の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図であり、（C）は、本発明の第1の実施の形態に係る半導体装置の製造方法における周辺部のダミーゲートを表す一工程の断面図である。

【図4】（A）は、本発明の第1の実施の形態に係る半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、

（B）は、本発明の第1の実施の形態に係る半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図であり、（C）は、本発明の第1の実施の形態に係る半導体装置の製造方法における周辺部のダミーゲートを表す一工程の断面図である。

【図5】（A）は、本発明の第1の実施の形態に係る半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、

（B）は、本発明の第1の実施の形態に係る半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図であり、（C）は、本発明の第1の実施の形態に係る半導体装置の製造方法における周辺部のダミーゲートを表す一工程の断面図である。

【図6】（A）は、本発明の第1の実施の形態に係る半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、

（B）は、本発明の第1の実施の形態に係る半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図であり、（C）は、本発明の第1の実施の形態に係る半導体装置の製造方法における周辺部のダミーゲートを表す一工程の断面図である。

【図7】（A）は、本発明の第1の実施の形態に係る半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、

（B）は、本発明の第1の実施の形態に係る半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図であり、（C）は、本発明の第1の実施の形態に係る半導体装置の製造方法における周辺部のダミーゲートを表す一工程の断面図である。

【図8】エッチング時に露出面から放射される特定の波長の強度と時間の経過の関係を表す特性図。

【図9】（A）は、本発明の第1の実施の形態に係る半導体装置の製造方法における一工程で、ダミーゲートが、周辺ゲートの5倍程度の長さのゲート長として形成された場合の断面図であり、（B）は、本発明の第1の実施の形態に係る半導体装置の製造方法における一工程で、ダミーゲートが、周辺ゲートのゲート長よりも小さく形成された場合の断面図である。

【図10】本発明の第1の実施の形態に係る半導体装置のメモリセルトランジスタのゲート幅方向の断面図。

【図11】本発明の第2の実施の形態に係る半導体装置のメモリセルトランジスタのゲート幅方向の断面図。

【図12】本発明の第3の実施の形態にかかる半導体

装置のメモリセル部のトランジスタの断面図。

【図13】 (A)は、第1の従来の半導体装置のメモリセル部以外の周辺部における周辺トランジスタ周辺の斜視図であり、(B)は、第1の従来の半導体装置のメモリセル部以外の周辺部における周辺トランジスタ周辺の上面図である。

【図14】 (A)は、第2の従来の半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、(B)は、第2の従来の半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図である。

【図15】 (A)は、第2の従来の半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、(B)は、第2の従来の半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図である。

【図16】 (A)は、第2の従来の半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、(B)は、第2の従来の半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図である。

【図17】 (A)は、第2の従来の半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、(B)は、第2の従来の半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図である。

【図18】 (A)は、第3の従来の半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、(B)は、第3の従来の半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図である。

【図19】 (A)は、第3の従来の半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、(B)は、第3の従来の半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図である。

【図20】 (A)は、第3の従来の半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、(B)は、第3の従来の半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図である。

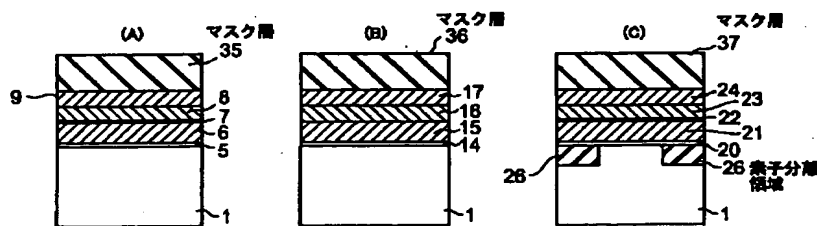
【図21】 (A)は、第3の従来の半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、(B)は、第3の従来の半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図である。

【図22】 (A)は、第3の従来の半導体装置の製造方法におけるメモリセル部のメモリセルトランジスタ周辺を表す一工程の断面図であり、(B)は、第3の従来の半導体装置の製造方法における周辺部の周辺トランジスタ周辺を表す一工程の断面図である。

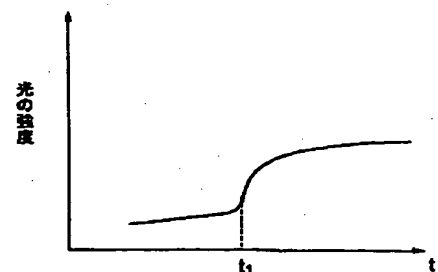
【符号の説明】

- 1 半導体基板
- 2、11 ソース・ドレイン拡散層
- 3 メモリセルゲート
- 4、13 チャンネル領域
- 5、14、20 ゲート絶縁膜
- 6、15、21 浮遊ゲート電極層
- 7、22 ゲート間絶縁膜
- 8、16、23 第1層目制御ゲート
- 9、17、24 第2層目制御ゲート
- 10、18、25 層間絶縁膜
- 12、52 周辺ゲート
- 19 周辺ダミーゲート
- 26、27、28、45、46 素子分離領域
- 30 コンタクト部
- 31 コンタクトプラグ
- 35、36、37 マスク層
- 38、39、40 フォトリソ
- 47 第1層目浮遊ゲート電極
- 48 第2層目浮遊ゲート電極
- 50、51 金属シリサイド層

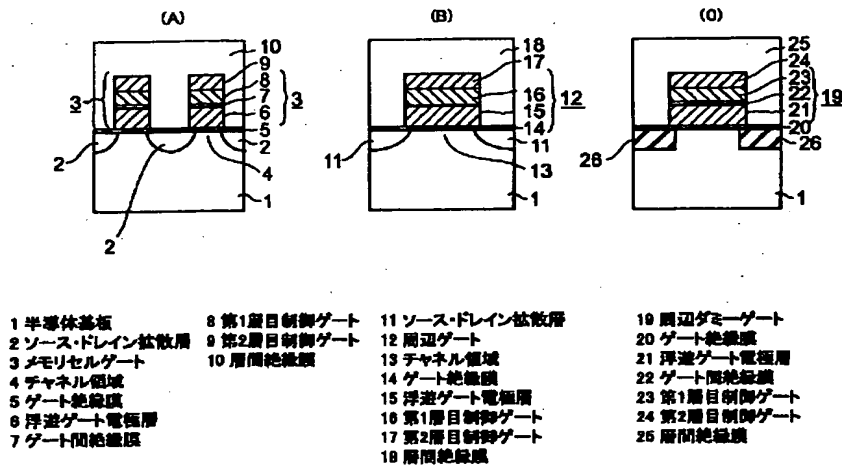
【図3】



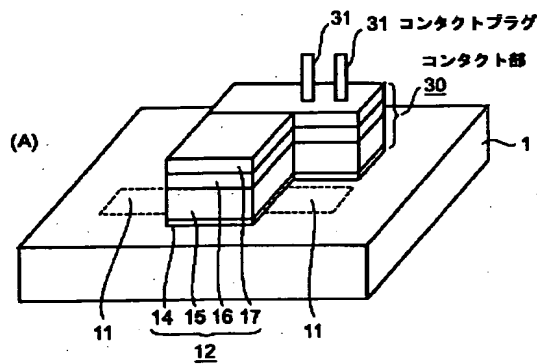
【図8】



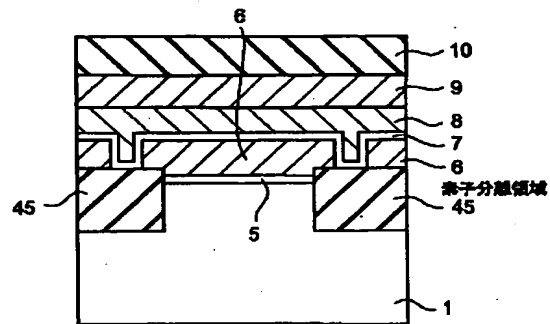
【図1】



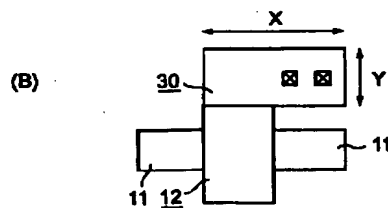
【図2】



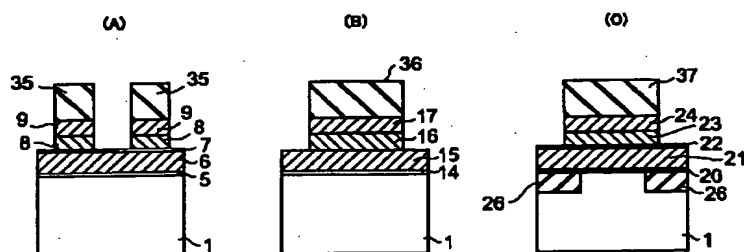
【図10】



【図12】

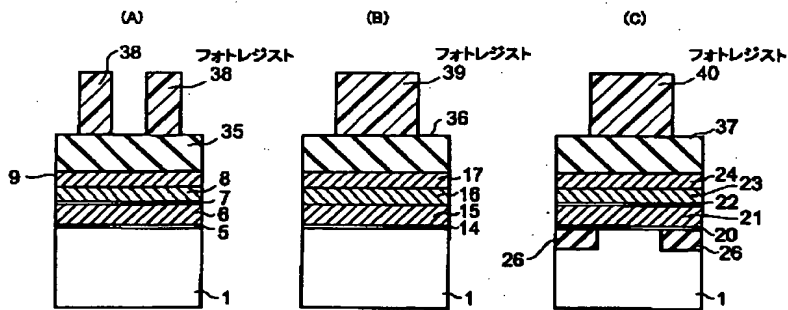


【図5】

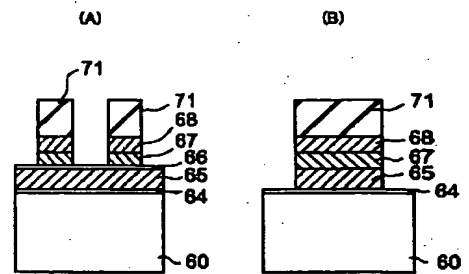


50 金属シリサイド層  
51 金属シリサイド層  
52 周辺ゲート

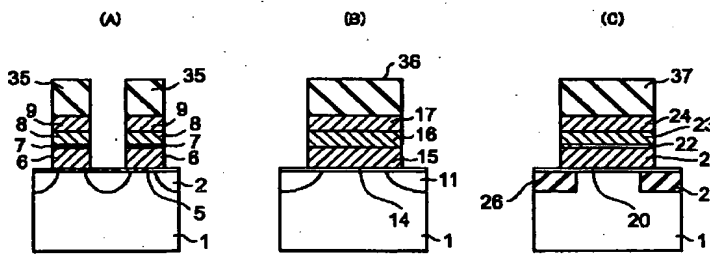
【図4】



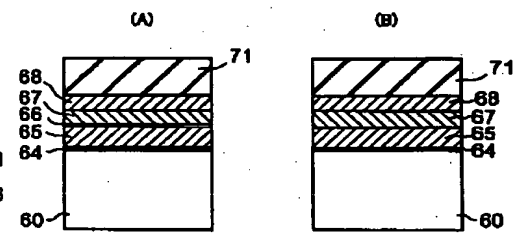
【図16】



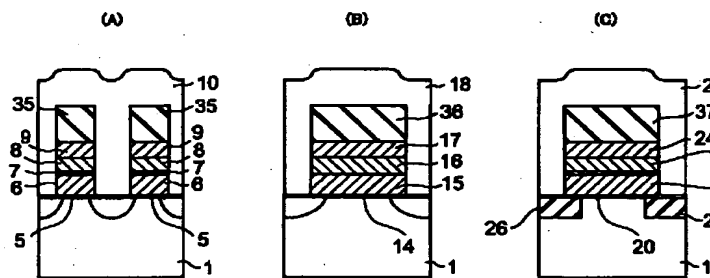
【図6】



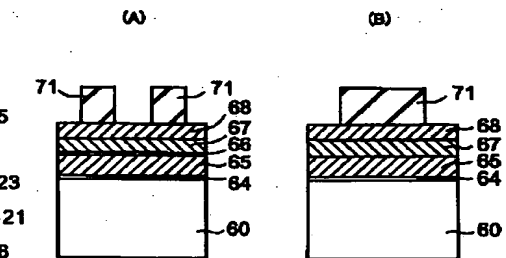
【図14】



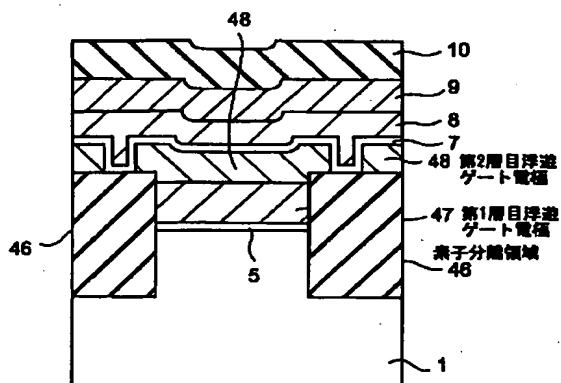
【図7】



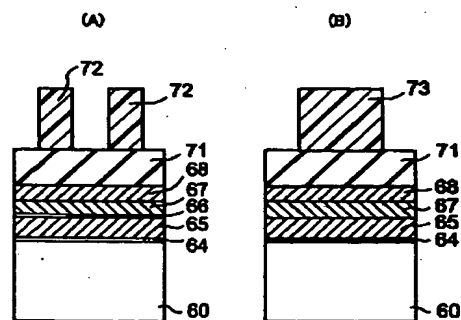
【図19】



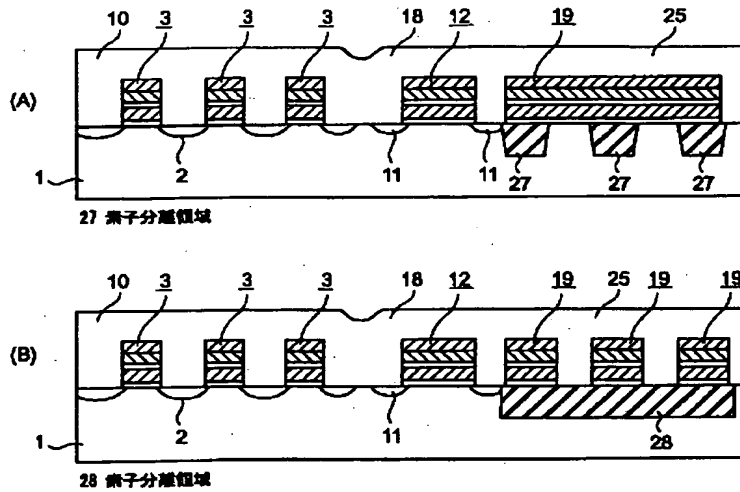
【図11】



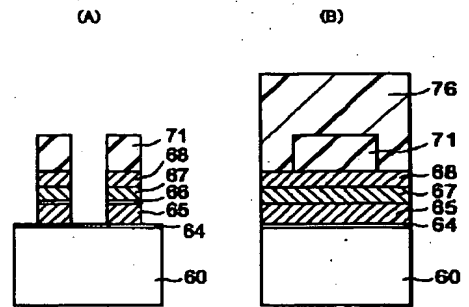
【図15】



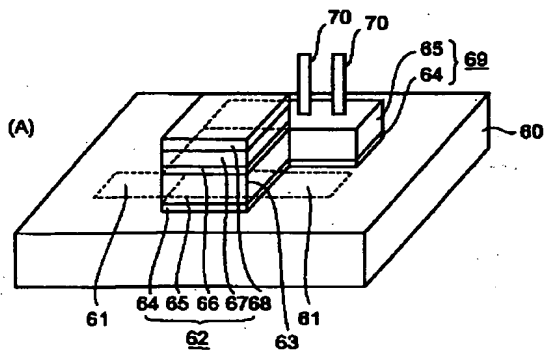
【圖9】



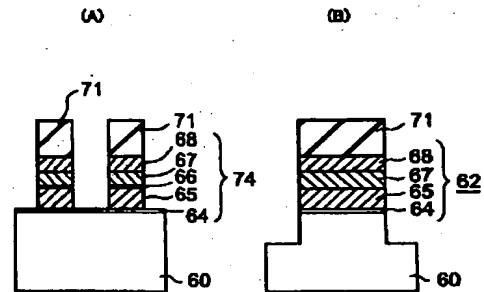
【圖20】



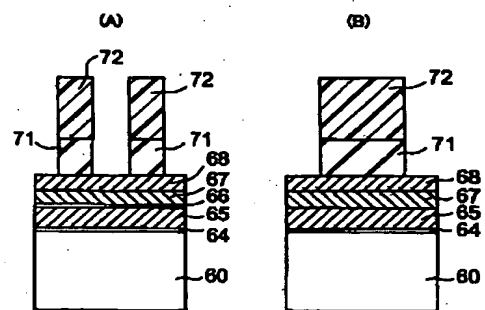
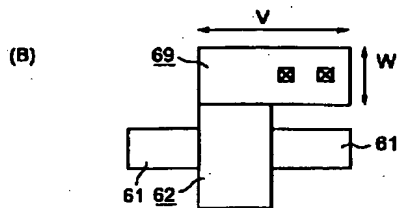
【圖13】



【圖17】

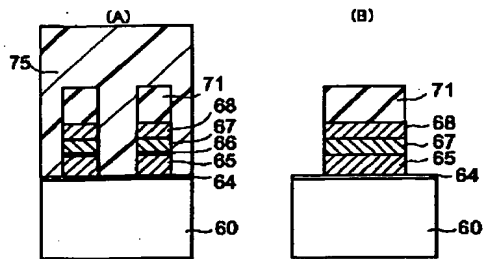


【圖18】

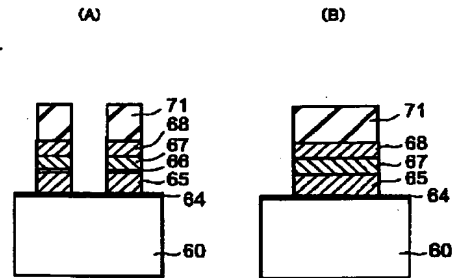




【図21】



【図22】



フロントページの続き

(51)Int. Cl.<sup>7</sup>  
H 0 1 L 29/792

識別記号

F I

キーワード(参考)

Fターム(参考) 5F004 AA01 BA04 CB13 DB02 DB17  
5F083 EP02 EP03 EP04 EP05 EP23  
EP32 EP56 EP76 EP77 ER03  
ER14 ER22 GA02 GA09 GA19  
GA28 JA05 JA19 JA35 JA39  
JA53 JA56 MA06 MA16 NA01  
PR03 PR06 PR07 PR28 PR29  
PR40 PR43 PR44 PR45 PR46  
PR49 PR53 PR54 PR55 PR56  
ZA05 ZA12 ZA28  
5F101 BA12 BA13 BA17 BA29 BA36  
BB05 BB08 BC01 BD03 BD21  
BD34 BD35 BD36 BE07 BH14  
BH19 BH21